

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-359557

(43)Date of publication of application : 13.12.2002

(51)Int.Cl.

H03M 1/12

H03M 3/02

(21)Application number : 2001-164691

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 31.05.2001

(72)Inventor : YAMAJI TAKAFUMI

UENO TAKESHI

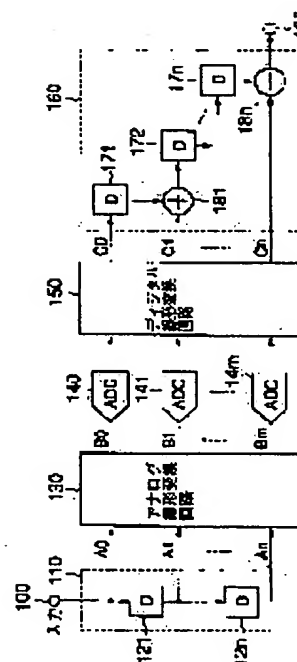
KUBO SHUNICHI

## (54) ANALOG-TO-DIGITAL CONVERTER

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an analog-to-digital converter which realizes broadband and high resolution characteristics with a low power voltage.

**SOLUTION:** An analog delay circuit 110 and an analog linear converter circuit 130 decompose an analog input signal from an input terminal 100 into m analog signals different in statistical properties, ADCs 140-14m convert the decomposed analog signals into digital signals, and a digital linear converter circuit 150 having characteristics reverse to those of the analog linear converter circuit, and a digital adder circuit 160 combine these digital signals into a single signal, thereby generating a digital output signal.



## LEGAL STATUS

[Date of request for examination]

12.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2002-359557  
(P2002-359557A)

(43)公開日 平成14年12月13日(2002.12.13)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	ページ数(参考)
H 0 3 M 1/12		H 0 3 M 1/12	C 5 J 0 2 2
3/02		3/02	5 J 0 6 4

審査請求 未請求 請求項の数 7 O L (全 10 頁)

(21)出願番号 特願2001-164691(P2001-164691)

(22)出願日 平成13年5月31日(2001.5.31)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 山路 隆文

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 上野 武司

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

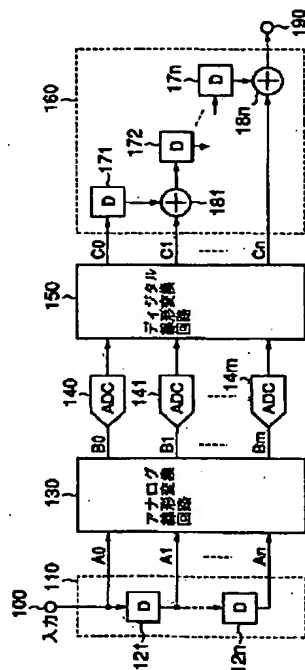
最終頁に続く

(54)【発明の名称】 アナログ-デジタル変換器

(57)【要約】

【課題】低い電源電圧の下で広帯域かつ高分解能の特性を実現できるアナログ-デジタル変換器を提供する。

【解決手段】入力端子100からの変換対象のアナログ入力信号をアナログ遅延回路110及びアナログ線形変換回路130により統計的な性質の異なるm個のアナログ信号に分解した後、分解された各アナログ信号をADC140~14mによってデジタル信号に変換し、これらのデジタル信号をアナログ線形変換回路と逆特性のデジタル線形変換回路150及びデジタル加算回路160によって一つの信号に合成することにより、デジタル出力信号を生成する。



1

## 【特許請求の範囲】

【請求項1】変換対象のアナログ入力信号を受け、所定の相対遅延時間を持つ複数のアナログ出力信号を生成するアナログ遅延回路と、  
前記複数のアナログ出力信号の組に対して第1の線形変換を施し、複数の線形変換アナログ信号を出力するアナログ線形変換回路と、  
前記複数の線形変換アナログ信号をデジタル信号に変換して出力する複数の単位アナログーデジタル変換回路と、  
前記複数の単位アナログーデジタル変換回路から出力される複数のデジタル信号の組に対して前記第1の線形変換の逆変換である第2の線形変換を施し、複数の線形変換デジタル信号を出力するデジタル線形変換回路と、  
前記複数の線形変換デジタル信号を前記アナログ遅延回路による前記相対遅延時間と同じ相対遅延時間を持たせて加算し、デジタル出力信号を生成するデジタル加算回路とを備えるアナログーデジタル変換器。  
【請求項2】前記アナログ遅延回路は、前記アナログ入力信号を所定の単位時間遅延する少なくとも一つのアナログ単位遅延器を有し、  
前記デジタル加算回路は、前記複数の線形変換デジタル信号のうちの第1の線形変換デジタル信号を前記アナログ単位遅延器の単位遅延時間と同じ単位遅延時間遅延する少なくとも一つのデジタル単位遅延器と、該デジタル単位遅延器により遅延された前記第1の線形変換デジタル信号と前記複数の線形変換デジタルのうちの第2の線形変換デジタル信号とを加算する少なくとも一つの加算器とを有する請求項1記載のアナログーデジタル変換器。  
【請求項3】前記アナログ線形変換回路は、前記アナログ遅延回路により生成された前記複数のアナログ出力信号の組を共通の入力とする複数の重み付け加算回路によって構成され、該複数の重み付け加算回路は前記複数のアナログ出力信号の組に対して、互いに異なる重み係数の組を用いて重み付けを行った後に加算を行う請求項1記載のアナログーデジタル変換器。  
【請求項4】前記アナログ入力信号と、前記アナログ遅延回路により生成された複数のアナログ出力信号、及び前記複数の単位アナログーデジタル変換回路から出力される複数のデジタル信号は、いずれも互いに直交する2つの信号によって構成され、  
前記アナログ線形変換回路は、前記アナログ遅延回路により生成された前記複数のアナログ出力信号の組に含まれる前記直交する2つの信号をそれぞれ実部及び虚部として扱って前記第1の線形変換を行い、  
前記デジタル線形変換回路は、前記アナログーデジタル変換回路から出力される複数のデジタル信号の組に含まれる前記直交する2つの信号をそれぞれ実部及び

2

虚部として扱って前記第2の線形変換を行う請求項1記載のアナログーデジタル変換器。

【請求項5】前記アナログ線形変換回路は離散コサイン変換回路であり、前記デジタル線形変換回路は逆離散コサイン変換回路である請求項1乃至4のいずれか1項記載のアナログーデジタル変換器。

【請求項6】前記アナログ線形変換回路は離散フーリエ変換回路であり、前記デジタル線形変換回路は逆離散逆フーリエ変換回路である請求項1乃至4のいずれか1項記載のアナログーデジタル変換器。

【請求項7】前記アナログ線形変換回路はユニタリ変換回路であり、前記デジタル線形変換回路は逆ユニタリ変換回路である請求項1乃至4のいずれか1項記載のアナログーデジタル変換器。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アナログーデジタル変換器に関する。

【0002】

【従来の技術】例えば、電池を電源として用いる携帯電話のような無線通信機器においては、低い電源電圧の下で回路が正しく動作することが望まれる。このような各種の電子機器はデジタル処理化が進んでおり、アナログ信号をデジタル信号に変換するアナログーデジタル変換器は必須の構成要素といえる。このアナログーデジタル変換器には、低い電源電圧下で高い分解能を有することが要求される。

【0003】低電源電圧下で高分解能の特性が得られるアナログーデジタル変換器としては、 $\Delta\Sigma$ （デルタシグマ）変調を用いるオーバーサンプリング型のアナログーデジタル変換器が知られている。オーバーサンプリング型アナログーデジタル変換器は、低い周波数または狭帯域の信号を扱う場合には、精度が低い回路素子を用いて高い分解能を実現できる。

【0004】オーバーサンプリング型アナログーデジタル変換器で高い分解能を実現するには、高いオーバーサンプリング比が必要となるので、広帯域の信号を扱う場合には非常に高いサンプリングレートで回路が動作する必要がある。従って、オーバーサンプリング型アナログーデジタル変換器で広帯域かつ高分解能の特性を実現することは困難であり、実現できても変換器が高価なものになってしまう。

【0005】一方、高速化すなわち広帯域化には、フラッシュ型と呼ばれるアナログーデジタル変換器が適しているとされている。フラッシュ型アナログーデジタル変換器は、回路素子の精度によって分解能が制限されるため、所要の分解能を維持しつつ十分なダイナミックレンジを得るためには、入力されるアナログ信号の振幅を大きくする必要がある。しかし、アナログーデジタル変換器を高速化するためには、集積回路をより微細加

3

工する必要がある、それに伴い電源電圧を低くする必要があるので、大振幅のアナログ信号を扱うことは困難となる。

#### 【0006】

【発明が解決しようとする課題】 上述したように、オーバサンプリング型アナログーデジタル変換器では、低い電源電圧の下で高い分解能を実現できる反面、広帯域化が難しいという問題点があり、また広帯域化に適したフラッシュ型アナログーデジタル変換器では、分解能を高くとることができないという問題点があった。

【0007】 従って、本発明は低い電源電圧の下で広帯域かつ高分解能の特性を実現できるアナログーデジタル変換器を提供することを目的とする。

#### 【0008】

【課題を解決するための手段】 上記の課題を解決するため、本発明に係るアナログーデジタル変換器は、変換対象のアナログ入力信号を受け、所定の相対遅延時間を持つ複数のアナログ出力信号を生成するアナログ遅延回路と、これらのアナログ出力信号の組に対して第1の線形変換を施し、複数の線形変換アナログ信号を出力するアナログ線形変換回路と、これらの線形変換アナログ信号をデジタル信号に変換して出力する複数の単位アナログーデジタル変換回路と、これらの単位アナログーデジタル変換回路から出力される複数のデジタル信号の組に対して第1の線形変換の逆変換である第2の線形変換を施し、複数の線形変換デジタル信号を出力するデジタル線形変換回路と、これらの線形変換デジタル信号をアナログ遅延回路による相対遅延時間と同じ相対遅延時間を持たせて加算し、デジタル出力信号を生成するデジタル加算回路とを備えることを特徴とする。

【0009】 すなわち、本発明ではアナログ入力信号をアナログ遅延回路及びアナログ線形変換回路により統計的な性質の異なる複数のアナログ信号に分解した後、分解された各アナログ信号を個別の単位アナログーデジタル変換回路によってデジタル信号に変換し、これらのデジタル信号をアナログ線形変換回路と逆特性のデジタル線形変換回路及びデジタル加算回路により一つの信号に合成してデジタル出力信号を生成する。

【0010】 このようにアナログーデジタル変換器を構成することにより、単位アナログーデジタル変換回路として広帯域特性であるが分解能の低いアナログーデジタル変換器を用いた場合でも、信号成分を増加させつつ量子化雑音を抑制して、信号対雑音比を向上させることができ、低い電源電圧の下でも広帯域かつ高分解能の特性を実現することが可能となる。

#### 【0011】

【発明の実施の形態】 以下、図面を参照して本発明の実施の形態を説明する。

(第1の実施形態) 図1に、本発明の第1の実施形態に

4

係るアナログーデジタル変換器の構成を示す。変換対象のアナログ入力信号を受ける入力端子100には、アナログ遅延回路110が接続される。アナログ遅延回路110は、アナログ信号を所定の単位時間遅延させる複数の(n)の単位遅延器121~12nを縦続接続して構成される。単位遅延器121~12nの持つ遅延時間(単位遅延時間)は、同一である。

【0012】 このアナログ遅延回路110においては、入力端子100へのアナログ入力信号を含めて、単位遅延器121~12nの遅延時間で決まる相対遅延時間を持つ複数の(n+1)のアナログ出力信号A0~Anが生成され、これらのアナログ信号A0~Anはアナログ線形変換回路130に入力される。

【0013】 アナログ線形変換回路130は、図2にその等価回路図を示したように、アナログ遅延回路11からの(n+1)個のアナログ出力信号A0~Anを共通の入力とする(m+1)個の重み付け加算回路によって構成される。すなわち、アナログ出力信号A0~Anの組に対して、まず(n+1)×(m+1)個の重み付け器により異なる重み係数の組を用いて重み付けが行われた後に、(m+1)個の加算器によって加算されることにより線形変換(第1の線形変換)を施し、(m+1)個の線形変換アナログ信号B0~Bmを出力する。重み付け器は乗算器によって構成され、入力に重み係数を乗じることによって重み付けを行う。

【0014】 さらに詳細に説明すると、信号A0に対しては重み付け器200~20mによって重み付けが行われ、信号A1に対しては重み付け器210~21mによって重み付けが行われ、以下同様に信号Anに対しては重み付け器2n0~2nmによって重み付けが行われる。加算器300では重み付け器200, 210, 2n0の出力が加算され、加算器301では重み付け器201, 211, 2n1の出力が加算され、以下同様に加算器30mでは重み付け器20m, 21m, 2nmの出力が加算されることによって、線形変換アナログ信号B0~Bmが生成される。

【0015】 このようにしてアナログ線形変換回路130から出力される(m+1)個の線形アナログ信号B0~Bmは、それぞれに与えられている重み係数が異なっているため、統計的な性質が異なっている。言い換えれば、入力端子100からのアナログ入力信号は、アナログ遅延回路11及びアナログ線形変換回路130によって、統計的な性質の異なる複数のアナログ信号成分である線形変換アナログ信号B0~Bmに分解されることになる。

【0016】 アナログ線形変換回路130から出力される(m+1)個の線形アナログ信号は、それぞれ単位アナログーデジタル変換回路(ADC)140~14mによってデジタル信号に変換される。ADC140~14mとしては、ビット数が比較的少ないフラッシュ型

5

アナログーデジタル変換器が適しているが、パイプライン型やオーバーサンプリング型のアナログーデジタル変換器を使用することも可能である。

【0017】ADC140～14mから出力される(m+1)個のデジタル信号は、デジタル線形変換回路150に入力される。デジタル線形変換回路150は、入力される(m+1)個のデジタル信号の組に対しアナログ線形変換回路130による第1の線形変換の逆変換である第2の線形変換を施すことによって、(n+1)個の線形変換デジタル信号C0～Cnを出力する。従って、デジタル線形変換回路150から出力される(n+1)個の線形変換デジタル信号C0～Cnは、アナログ線形変換回路130による第1の線形変換を行う前のアナログ信号、すなわちアナログ遅延回路110によって生成されたアナログ出力信号A0～Anをデジタル信号に変換したものと等価となる。

【0018】デジタル線形変換回路150から出力される(n+1)個の線形変換デジタル信号C0～Cnは、デジタル加算回路160に入力される。デジタル加算回路160は、アナログ遅延回路110における単位遅延器120～12nと同じ単位時間遅延させるn個の単位遅延器171～17nとn個の加算器181～18nによって構成され、(n+1)個の線形変換デジタル信号C0～Cnをアナログ遅延回路110による相対遅延時間と同じ相対遅延時間を持たせて加算することにより、アナログーデジタル変換されたデジタル出力信号を生成して出力端子190へ出力する。

【0019】すなわち、(n+1)個の線形変換デジタル信号C0～Cnのうち、C0は単位遅延器171に入力され、C1は加算器181に入力され、以下同様にCnは加算器18nに入力される。加算器181～18n-1の出力は、単位遅延器172～17nに入力され、最終段の加算器18nの出力はデジタル出力信号として出力端子190へ出力される。このようにデジタル加算回路160はアナログ遅延回路110の逆の処理を行うことによって、アナログ遅延回路110の入力である入力端子100へのアナログ入力信号に対応したデジタル出力信号を生成する。

【0020】以上述べたように、本実施形態によればアナログ入力信号xをアナログ遅延回路110及びアナログ線形変換回路130を介して統計的な性質の異なる複数のアナログ信号成分に分解した後、各信号成分をADC140～14nによりそれぞれデジタル信号に変換する。次に、ADC140～14nから出力されるデジタル信号をアナログ線形変換回路130の逆の変換特性を持つデジタル線形変換回路150及びデジタル加算回路160を介して合成することにより、アナログーデジタル変換されたデジタル出力信号yを出力する。

【0021】このようにすると、ADC140～14n

6

の分解能が低い場合でも、量子化雑音を効果的に抑制して信号対雑音比を向上でき、分解能の高いアナログーデジタル変換器を実現することができる。

【0022】次に、図1において簡単のためにn=1, m=1とした場合の例を示す図3を用いて、本実施形態の具体的な動作を説明する。入力端子100に入力されるアナログ入力信号は、一つの単位遅延器121からなるアナログ遅延回路110によって、単位遅延器121の遅延時間によって決まる相対遅延時間を持つ2つのアナログ出力信号A0, A1に分けて出力される。アナログ遅延回路110の入力(アナログ入力信号)xと出力ベクトルXA(アナログ出力信号A0, A1)の関係は、次式で表される。

【0023】

【数1】

$$X_A = \begin{bmatrix} 1 & z^{-1} \end{bmatrix} x$$

【0024】アナログ遅延回路110の出力ベクトルXAは、アナログ線形変換回路130に入力される。アナログ線形変換回路130の変換行列を

【数2】

$$C = \frac{1}{\sqrt{2}} \begin{bmatrix} 1 & 1 \\ 1 & -1 \end{bmatrix}$$

とする。この変換行列は、2行2列の離散コサイン変換行列に行列式の絶対値を1にするための係数 $1/\sqrt{2}$ を乗じたものである。このとき、アナログ線形変換回路130の出力ベクトルXC(線形変換アナログ信号B0, B1)は、

【数3】

$$X_C = C X_A = \frac{1}{\sqrt{2}} \begin{bmatrix} 1 & 1 \\ 1 & -1 \end{bmatrix} \begin{bmatrix} 1 \\ z^{-1} \end{bmatrix} x$$

となる。

【0025】アナログ線形変換回路130のアナログの出力ベクトルXCは、ADC140, 141によってデジタルのベクトル信号に変換される。この変換をアナログ信号に対して量子化雑音を付加する操作と考え、ADC140, 141において付加される量子化雑音をベクトルEで表すと、ADC140, 141の出力ベクトルXDは

$$X_D = X_C + E$$

となる。

【0026】次に、ADC140, 141の出力ベクトルXDに対して、デジタル線形変換回路150によってアナログ線形変換回路130の変換行列Cの逆行列C<sup>-1</sup>がかけられる。本実施形態においては、逆行列C<sup>-1</sup>は元の行列Cと等しい。

【0027】最後に、デジタル線形変換回路150の出力に対して、単位遅延器171と加算器181からなる

7

るデジタル加算回路160の伝達関数 $[z^{-1} \ 1]$ が乗じられ、デジタル出力信号 $y$ として次式が得られる。

【0028】

【数4】

$$\begin{aligned} [z^{-1} \ 1]C^{-1}X_D &= [z^{-1} \ 1]C^{-1}[X_C + E] \\ &= 2z^{-1}x + [z^{-1} \ 1]C^{-1}E \end{aligned}$$

【0029】すなわち、アナログ入力信号 $x$ は2倍に増幅されてデジタル出力信号 $y$ として出力される。一方、ADC140、141で発生する量子化雑音 $E_0$ 、 $E_1$ は、次式に示す係数がそれぞれ乗じられた後に、デジタル加算回路160によって単位遅延器171の遅延時間による相対遅延時間をもって加算される。

【0030】

【数5】

$$\frac{1}{\sqrt{2}}(z^{-1}+1)E_0, \frac{1}{\sqrt{2}}(z^{-1}-1)E_1$$

【0031】量子化雑音 $E_0$ 、 $E_1$ が白色雑音で無相関、かつ $|E_0| = |E_1|$ であると仮定すると、デジタル加算回路160の出力（デジタル出力信号 $y$ ）における量子化雑音 $E$ は、

【数6】

$$|E| = \sqrt{\left| \frac{1}{\sqrt{2}}(z^{-1}+1)E_0 \right|^2 + \left| \frac{1}{\sqrt{2}}(z^{-1}-1)E_1 \right|^2} = \sqrt{2}|E_0|$$

となり、個々のADC140、141の量子化雑音の $\sqrt{2}$ 倍となる。アナログ入力信号 $x$ は2倍に増幅されるのに対し、雑音は $\sqrt{2}$ 倍となるので、信号対雑音比は3dB改善されることになる。

【0032】信号対雑音比を3dB改善する別の方法として、アナログ入力信号をアナログーデジタル変換器に入力する前に増幅器に通す方法もあるが、この方法では信号振幅がアナログーデジタル変換器の入力範囲を超えてしまう可能性がある。

【0033】一方、本実施形態ではADC140、141の入力であるアナログ線形変換回路130の出力ベクトル $X_C$ の各要素は、アナログ入力信号 $x$ を低い周波数成分と高い周波数成分に分解したものとなっている。出力ベクトル $X_C$ のうちの低周波成分においては、アナログ入力信号 $x$ の低周波成分は3dB増幅されているのに対して高周波域の信号が除去されており、高周波成分においては逆にアナログ入力信号 $x$ の高周波成分は3dB増幅されているのに対して低周波域の信号が除去されているので、時間軸上でみた信号振幅は3dB程度小さくなることが見込まれる。このためADC140、141の入力範囲を超えることなく、信号対雑音比を改善できる。

8

【0034】ADC140、141で発生した量子化雑音についても、信号成分と同様にデジタル線形変換回路150を介してデジタル加算回路160で加算される。ここで、デジタル線形変換回路150の変換行列の選び方によっては、ADC140、141でそれぞれ発生する量子化雑音同士の相関を低くすることが可能である。このようにすると、ADC140、141から強い相関をもって出力される信号成分の利得と比較して、見かけ上の量子化雑音の利得が小さくなる。この結果、単独のアナログーデジタル変換器に比較して、出力の信号対雑音比が改善され、分解能がADC140、141の個々の分解能よりも向上する。

【0035】このように本実施形態によると、例えばフラッシュ型アナログーデジタル変換器のような分解能は低い広帯域化の容易な複数のADC140、141を用いつつ、高分解能かつ広帯域のアナログーデジタル変換器を実現することができる。

【0036】（第2の実施形態）図4は、本発明の第2の実施形態に係るアナログーデジタル変換器の構成を示している。本実施形態のアナログーデジタル変換器は、直交信号である2つのアナログ入力信号をデジタル信号に変換するように構成されている。

【0037】入力端子400A、400Bには直交信号、すなわち互いに直交する2つのアナログ入力信号が入力される。これら2つのアナログ入力信号は、一つの単位遅延器421からなるアナログ遅延回路410に入力され、単位遅延器421の遅延時間で決まる相対遅延時間を持つ2つのアナログ信号にそれぞれ分解されて出力される。単位遅延器421は、2つのアナログ入力信号に対応した2チャンネル分の遅延要素からなり、各遅延要素の遅延時間は同じである。

【0038】アナログ遅延回路410の4個の出力信号は、アナログ線形変換回路430によって第1の実施形態と同様に線形変換され、統計的な性質の異なるアナログ信号成分からなる複数（この例では4個）の線形変換アナログ信号にそれぞれ分解される。

【0039】アナログ線形変換回路430から出力される4個の線形アナログ信号は、それぞれ単位アナログーデジタル変換回路（ADC）440A、440B及び441A、441Bによってデジタル信号に変換される。ADC440A、440B及び441A、441Bとしては、ビット数が比較的少ないフラッシュ型アナログーデジタル変換器が適しているが、パイプライン型やオーバーサンプリング型のアナログーデジタル変換器を使用することも可能である。

【0040】ADC440A、440B及び441A、441Bから出力される4個のデジタル信号は、デジタル線形変換回路450に入力される。デジタル線形変換回路450は、入力される4個のデジタル信号の組に対しアナログ線形変換回路430による第1の線

9

形変換の逆変換である第2の線形変換を施すことによって、4個の線形変換デジタル信号を出力する。従って、デジタル線形変換回路450から出力される4個の線形変換デジタル信号は、アナログ線形変換回路430による第1の線形変換を行う前のアナログ信号をデジタル信号に変換したものと等価となる。

【0041】デジタル線形変換回路450から出力される4個の線形変換デジタル信号は、デジタル加算回路460に入力される。デジタル加算回路460は、アナログ遅延回路410における単位遅延器421<sup>10</sup>と同じ遅延時間を有し、デジタル信号を所定の単位時間遅延させる単位遅延器471と加算器481によって構成され、4個の線形変換デジタル信号をアナログ遅延回路410による相対遅延時間と同じ相対遅延時間を持たせて加算し、一つの信号に合成することにより、アナログ-デジタル変換されたデジタル出力信号を生成して出力端子490へ出力する。単位遅延器471及び加算器481は、それぞれに入力される2つのデジタル信号に対応して2つの遅延要素及び加算要素をそれぞれ有する。

【0042】次に、本実施形態の動作を第1の実施形態と同様に数式を用いて説明する。入力端子400A、400Bに入力される2つのアナログ入力信号は、それぞれ一つの複素信号の実部と虚部として扱うものとする。これは典型的には、例えば無線受信機における直交復調信号を構成する2つの信号であるI信号(In-phase signal)とQ信号(Quadrature-phase signal)が相当する。

【0043】この複素信号はアナログ遅延回路410に入力され、相対遅延時間を持つ2つの複素アナログ信号<sup>30</sup>に分けて出力されるので、アナログ入力信号である複素入力 $x$ と出力ベクトル $X_A$ の関係は、次式となる。

【数7】

$$X_A = \begin{bmatrix} 1 & z^{-1} \end{bmatrix} x$$

【0044】出力ベクトル $X_A$ は、アナログ線形変換回路430に入力される。アナログ線形変換回路430の変換行列を

【数8】

$$C = \frac{1}{2} \begin{bmatrix} 1+j & 1-j \\ 1+j & -1+j \end{bmatrix}$$

とすると、アナログ線形変換回路430の出力信号は次式に示す複素ベクトル $X_C$ となる。

【数9】

$$X_C = CX_A = \frac{1}{2} \begin{bmatrix} 1+j & 1-j \\ 1+j & -1+j \end{bmatrix} \begin{bmatrix} 1 \\ z^{-1} \end{bmatrix} x$$

【0045】次に、ADC440A、440B及び441A、441Bによって、アナログ線形変換回路430<sup>50</sup>

10

の出力信号である複素ベクトル $X_C$ がデジタル信号からなる複素ベクトル $X_D$ に変換される。ここで、アナログ線形変換回路430での変換を複素ベクトルに対して複素量子化雑音を付加する操作と考え、ADC440A、440B及び441A、441Bによってそれぞれ付加される複素量子化雑音をベクトル $E$ とすると、ADC440A、440B及び441A、441Bの出力である複素ベクトル $X_D$ は、

$$X_D = X_C + E$$

となる。

【0046】この複素ベクトル $X_D$ に対して、デジタル線形変換回路450によってアナログ線形変換かいる変換行列 $C$ の逆行列 $C^{-1}$ がかけられ、さらにデジタル加算回路460の伝達関数 $[z^{-1} \ 1]$ が乗じられることにより、次式に示すデジタル出力信号 $y$ が得られる。

【0047】

【数10】

$$y = [z^{-1} \ 1] C^{-1} X_D = [z^{-1} \ 1] C^{-1} [X_C + E] \\ = 2z^{-1}x + [z^{-1} \ 1] C^{-1} E$$

【0048】従って、アナログ入力信号 $x$ は2倍に増幅されてデジタル出力信号 $y$ として出力される。ここで、

【数11】

$$C^{-1} = \frac{1}{2} \begin{bmatrix} 1-j & 1-j \\ 1+j & -1-j \end{bmatrix}$$

であるから、ADC440A、440B及び441A、441Bで発生する複素量子化雑音 $E_0$ 、 $E_1$ は、次式に示す係数がそれぞれ乗じられた後にデジタル加算回路460によって加算される。

【0049】

【数12】

$$\frac{1}{2}(z^{-1}+1+j(-z^{-1}+1)) \quad , \quad \frac{1}{2}(z^{-1}-1+j(-z^{-1}-1))$$

【0050】量子化雑音 $E_0$ 、 $E_1$ が白色雑音で無相関、かつ $|E_0| = |E_1|$ であると仮定すると、デジタル加算回路460の出力における量子化雑音 $E$ は、第1の実施形態と同様に、

【数13】

$$|E| = \sqrt{\left| \frac{1}{\sqrt{2}}(z^{-1}+1)E_0 \right|^2 + \left| \frac{1}{\sqrt{2}}(z^{-1}-1)E_1 \right|^2} = \sqrt{2}|E_0|$$

となり、個々のADC440A、440B及び441A、441Bの量子化雑音の $\sqrt{2}$ 倍となる。アナログ入力信号 $x$ は2倍に増幅されるのに対し、雑音は $\sqrt{2}$ 倍であるので、信号対雑音比は3dB改善されることにな



11

り、それだけ分解能の向上する。

【0051】（第3の実施形態）図5に、本発明の第3の実施形態に係るアナログーデジタル変換器の構成を示す。本実施形態では、入力端子500からのアナログ入力信号は3つの単位遅延器521～523からなるアナログ遅延回路510により相対遅延時間を持つ4つのアナログ信号に分解された後、アナログ線形変換回路の一種であるアナログDCT（離散コサイン変換）回路530に入力され、アナログ処理によって離散コサイン変換される。

【0052】アナログDCT回路530からの4つの出力信号は単位アナログーデジタル変換回路（ADC）540～543によってそれぞれデジタル信号に変換された後、デジタル線形変換回路の一種であるデジタルIDCT（逆離散コサイン変換）回路550によってデジタル処理により逆離散コサイン変換、すなわちDCT回路530と逆の変換が行われる。

【0053】デジタルIDCT回路550からの4つの出力信号は、3つの単位遅延器571～573と加算器581～583からなるデジタル加算回路560によって、アナログ遅延回路510における相対遅延時間と同じ相対遅延時間をもって加算されることにより一つの信号に合成され、アナログーデジタル変換されたデジタル出力信号として出力端子590へ出力される。

【0054】本実施形態によると、詳細は省略するが第1、第2の実施形態と同様の計算により信号成分は4倍に増幅され、ADC540～543で発生する量子化雑音は2倍となる。すなわち、信号対雑音でみると約6dBの改善効果が得られ、これはアナログーデジタル変換器としては分解能が1ビット向上したことに相当する。

【0055】（第4の実施形態）図6は、本発明の第4の実施形態に係るアナログーデジタル変換器の構成を示す図である。本実施形態では入力端子600A、600Bには第2の実施形態と同様に直交信号、すなわち互いに直交する2つのアナログ入力信号が入力される。これらのアナログ入力信号は、3つの単位遅延器621～623からなるアナログ遅延回路610に入力され、単位遅延器621～623の遅延時間で決まる相対遅延時間を持つ4つのアナログ信号にそれぞれ分解されて出力される。単位遅延器621～623は、それぞれ2つのアナログ入力信号に対応した2チャンネル分の遅延要素からなり、各遅延要素の遅延時間は同じである。

【0056】アナログ遅延回路620の8個の出力信号は、アナログ線形変換回路の一種であるDFT（離散フーリエ変換）回路630に入力され、アナログ処理によって離散フーリエ変換される。

【0057】FFT回路630から出力される8つのアナログ信号は、それぞれ単位アナログーデジタル変換回路（ADC）640A、640B、641A、641

12

B、642A、642B及び643A、643Bによってデジタル信号に変換された後、デジタル線形変換回路の一種であるIDFT（逆離散フーリエ変換）回路650によってデジタル処理により逆フーリエ変換、すなわちFFT回路630と逆の変換が行われる。

【0058】デジタルIDFT回路650からの8つの出力信号は、3つの単位遅延器671～673と加算器681～683からなるデジタル加算回路660によって、アナログ遅延回路610における相対遅延時間と同じ相対遅延時間をもって加算されることにより直交信号からなる2つの信号に合成され、アナログーデジタル変換されたデジタル出力信号として出力端子690A、690Bへ出力される。単位遅延器671～673及び加算器681～683は、それぞれに入力される2つのデジタル信号に対応して2つの遅延要素及び加算要素をそれぞれ有する。

【0059】従って本実施形態によると、第3の実施形態と同様に信号成分は4倍に増幅され、ADC540～543で発生する量子化雑音は2倍となっており、信号対雑音でみると約6dBの改善効果が得られる。

【0060】（第5の実施形態）図7は、本発明の第5の実施形態に係るアナログーデジタル変換器の構成を示す図である。線形変換の具体的な例として、第3の実施形態では離散コサイン変換、第4の実施形態では離散フーリエ変換をそれぞれ用いて、アナログ入力信号の信号成分を周波数領域で分解していたが、本実施形態では符号領域で信号成分の分解を行っている。

【0061】無線通信システムでは、デジタル信号処理を容易にするために、アナログーデジタル変換の前処理において入力アナログ信号をサンプリングする際に、サンプリング周波数をナイキスト周波数に等しくすることは希であり、多くの場合はナイキスト周波数の数倍程度のサンプリング周波数によるオーバーサンプリングを行っている。このようなオーバーサンプリングされた信号に対して周波数領域での信号成分の分離を行うと、ほとんどの信号成分が低周波域に集中する。このため、分離された各信号成分を個別のADCによってアナログーデジタル変換しても、事実上一つのADCによってアナログーデジタル変換を行う場合と同じことになる。このように予め周波数分布が限られたアナログ信号をデジタル信号に変換する場合には、周波数領域での分解は適していない。

【0062】無線通信における多重化の方式として、FDMA（周波数分割多元接続）方式のほかにCDMA（符号分割多元接続）方式があるように、信号成分を分解するには周波数領域での分解のほか、符号領域での分解を行うことも可能である。

【0063】このような符号領域での分解を行うため、本実施形態では図7に示すようにアナログ線形変換回路としてアナログユニタリ変換回路730を用い、またデ

13

ィジタル線形変換回路としてディジタル逆ユニタリ変換回路750を用いている。入力端子700、単位遅延器721～723からなるアナログ遅延回路710及びADC740～742、単位遅延器771～773と加算器781～783からなるディジタル加算回路760及び出力端子790については、図5と同様である。

【0064】すなわち、本実施形態ではアナログ線形変換における変換行列としてユニタリ行列を用いている。ユニタリ行列とは、逆行列と共役転置行列が等しい正方行列であり、各行・各列のベクトルが互いに直交している。この直交性のために、入力されたアナログ信号はそれぞれ直交した成分に分解される。特に、

【数14】

$$C = \frac{1}{2} \begin{bmatrix} 1 & 1 & 1 & -1 \\ 1 & -1 & 1 & 1 \\ 1 & 1 & -1 & 1 \\ -1 & 1 & 1 & 1 \end{bmatrix}$$

のように、各行列要素の絶対値が等しく、符号が+または-である行列の場合、アナログ線形変換回路であるアナログユニタリ変換回路730及びディジタル線形変換回路であるディジタル逆ユニタリ変換回路750の構成が単純となるという利点もある。

【0065】本実施形態によると、オーバーサンプリングされたアナログ信号のような周波数分布が限られたアナログ信号をディジタル信号に変換できる高分解能かつ広帯域をアナログーディジタル変換器を実現することが可能であり、第3の実施形態と同様にディジタル出力信号は信号対雑音比で6dB、分解能で1ビットの改善が期待できる。

【0066】(第6の実施形態) 図8は、本発明の第6の実施形態に係るアナログーディジタル変換器の構成を示す図であり、第5の実施形態ではアナログ入力信号が1つの場合であるのに対して、I、Q信号のような直交信号である2つのアナログ入力信号をそれぞれディジタル信号に変換する場合に、符号領域での分解すなわちユニタリ行列による変換を適用した例である。

【0067】本実施形態のアナログーディジタル変換器は、第4の実施形態である図6に示した構成におけるアナログDFT回路630及びディジタルIDFT回路650がアナログユニタリ変換回路830及びディジタル逆ユニタリ変換回路850に置き換えられた構成となっている。

【0068】直交信号である2つのアナログ入力信号を受ける入力端子800A、800B、単位遅延器821～823からなるアナログ遅延回路810、ADC840A、840B、841A、841B、842A、842B及び843A、843B、単位遅延器871～873と加算器881～883からなるディジタル加算回路860及び直交信号である2つのアナログ出力信号を出

14

力するための出力端子890A、890Bについては、図6と同様である。

【0069】ここで、アナログユニタリ変換回路830に用いるユニタリ行列としては、例えば以下に示すような行列が挙げられる。

【数15】

$$C = \frac{1}{2\sqrt{2}} \begin{bmatrix} 1+j & 1+j & -1+j & -1-j \\ -1+j & 1-j & -1-j & -1+j \\ 1+j & 1+j & 1-j & 1+j \\ -1-j & 1+j & -1+j & 1+j \end{bmatrix}$$

【0070】このような構成によっても第5の実施形態と同様の原理によって分解能の向上を図ることができる。

【0071】

【発明の効果】以上説明したように、本発明によれば低い電源電圧の下で広帯域かつ高分解能の特性を実現できるアナログーディジタル変換器を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るアナログーディジタル変換器の構成を示すブロック図

【図2】同実施形態におけるアナログ変換回路の等価回路図

【図3】同実施形態に係るアナログーディジタル変換器のより具体的な構成例を示すブロック図

【図4】本発明の第2の実施形態に係るアナログーディジタル変換器の構成を示すブロック図

【図5】本発明の第3の実施形態に係るアナログーディジタル変換器の構成を示すブロック図

【図6】本発明の第4の実施形態に係るアナログーディジタル変換器の構成を示すブロック図

【図7】本発明の第5の実施形態に係るアナログーディジタル変換器の構成を示すブロック図

【図8】本発明の第6の実施形態に係るアナログーディジタル変換器の構成を示すブロック図

【符号の説明】

100、400A、400B、500、600A、600B、700、800A、800B…入力端子

110、410、510、610、710、810…アナログ遅延回路

121～12n、421、521～523、621～623、721～723、821～823…単位遅延器

130、430…アナログ線形変換回路

140～14m、440A、440B、441A、441B、540～543、640A、640B、641A、641B、740～743、840A、840B、841A、841B、842A、842B、843A、843B…単位アナログーディジタル変換回路

150、450…ディジタル線形変換回路

15

160, 460, 560, 660, 760, 860…デジタル加算回路

171~17n, 471, 571~573, 671~673, 771~773, 871~873…単位遅延器

181~18n, 481, 581~583, 681~683…加算器

190, 490A, 490B, 590, 690A, 690B, 790A, 790B, 890A, 890B…出力端子

530…アナログDCT回路(アナログ線形変換回路)

530…アナログDCT回路(アナログ線形変換回路) 10

16

\*550…デジタルIDCT回路(デジタル線形変換回路)

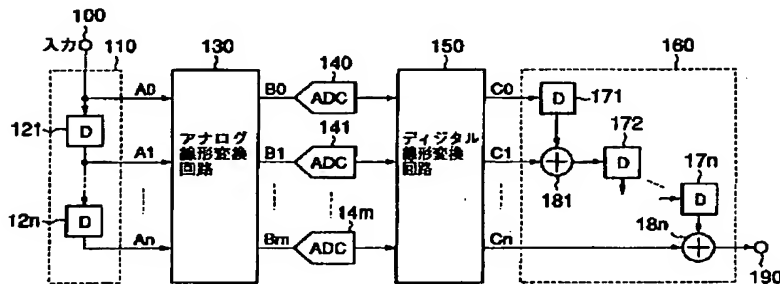
630…アナログDFT回路(アナログ線形変換回路)

650…デジタルIDFT回路(デジタル線形変換回路)

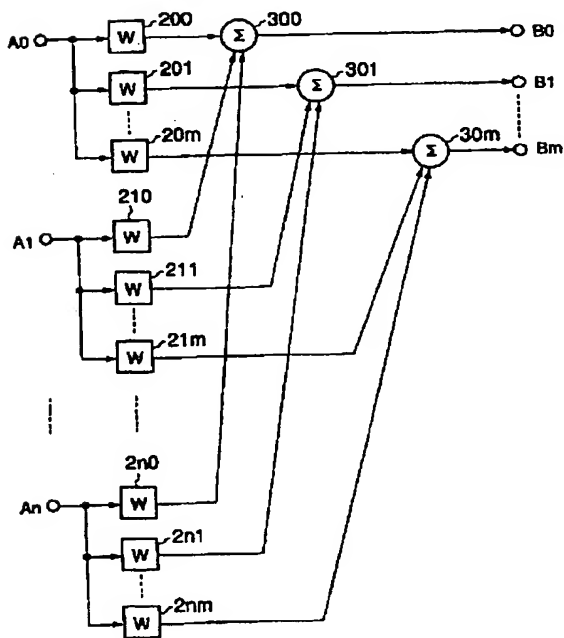
730, 830…アナログユニタリ変換回路(アナログ線形変換回路)

750, 850…デジタル逆ユニタリ変換回路(デジタル線形変換回路)

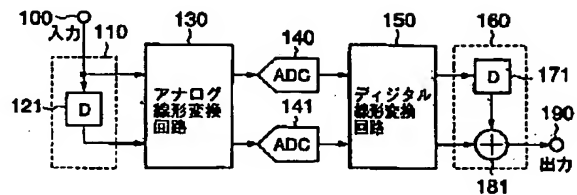
【図1】



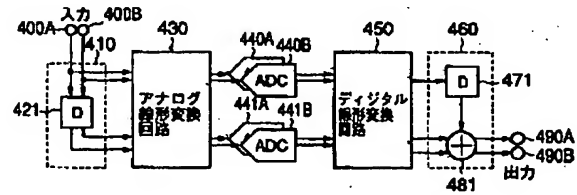
【図2】



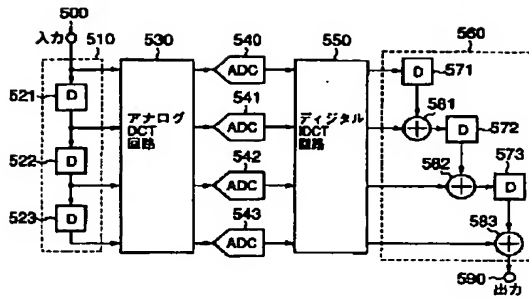
【図3】



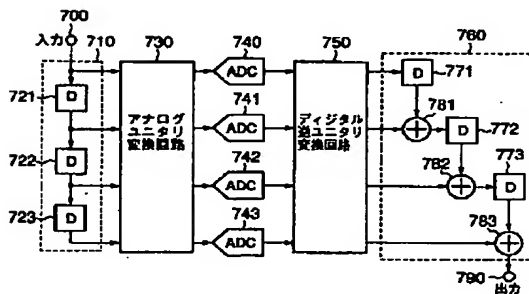
【図4】



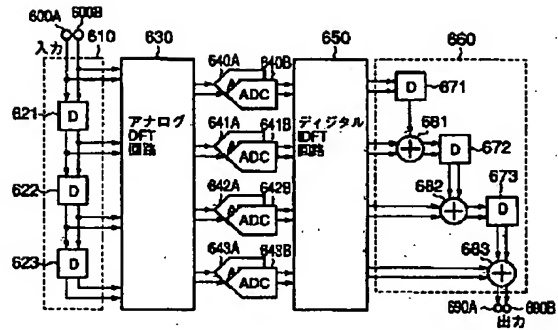
【図 5】



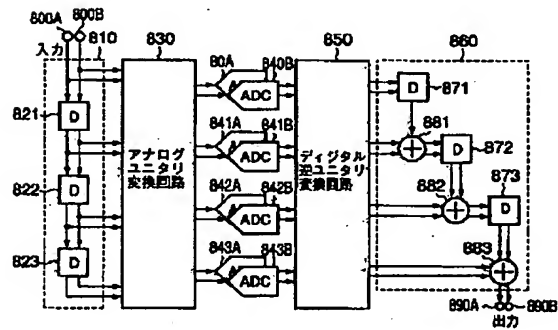
【図 7】



【図 6】



【図 8】



フロントページの続き

(72) 発明者 久保 俊一  
神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内

F ターム (参考) 5J022 AA05 AA06 AC02 BA02 BA07  
CA10 CB06 CE04  
5J064 AA01 BA02 BA03 BA06 BB01  
BB07 BC06 BC08 BD02